

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-188369
 (43)Date of publication of application : 08.07.1994

(51)Int.CI. H01L 27/04

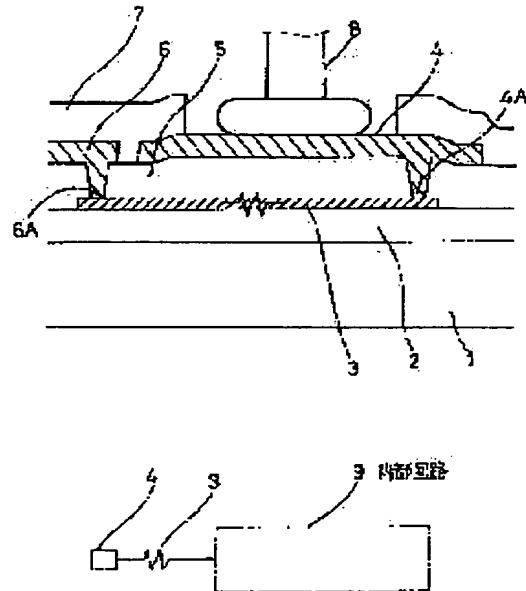
(21)Application number : 04-357204 (71)Applicant : NIPPON MOTOROLA LTD
 (22)Date of filing : 21.12.1992 (72)Inventor : SEKINE SATOSHI
 AKAGI HATSUE
 MIKUNI SATOSHI

(54) SEMICONDUCTOR CIRCUIT HAVING ELECTROSTATIC BREAKDOWN PREVENTIVE LAYER

(57)Abstract:

PURPOSE: To obtain a semiconductor circuit having an electrostatic breakdown preventive layer capable of surely preventing electrostatic breakdown without increasing an occupied area.

CONSTITUTION: An electrostatic breakdown preventing layer 3 composed of a resistor or a resistor and a diode is formed in the lower region of an electrode pad 4 of a semiconductor circuit. One end of the layer 3 is connected with the electrode pad 4, and the other end of the layer 3 is electrically connected with an inner circuit 9. Thereby the electrode pad 4 is electrically connected with the inner circuit 9 via the electrostatic breakdown preventing layer 3. The energy due to an excess voltage applied to the electrode pad 4 does not directly flow into the inner circuit 9, but surely passes the electrostatic breakdown preventing layer 3, by which the current flowing into the inner circuit 9 is decreased.



LEGAL STATUS

[Date of request for examination] 28.08.1997

[Date of sending the examiner's decision of rejection] 15.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-188369

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.⁵

H 01 L 27/04

識別記号 庁内整理番号

H 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平4-357204

(22)出願日 平成4年(1992)12月21日

(71)出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72)発明者 関根 聰

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

(72)発明者 赤木 はつえ

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

(72)発明者 三国 聰

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

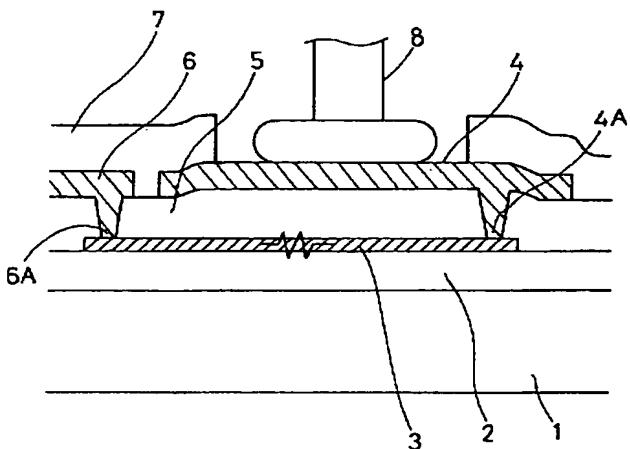
(74)代理人 弁理士 井上 俊夫

(54)【発明の名称】 静電気破壊防止層を有する半導体回路

(57)【要約】

【目的】 半導体集積回路装置等に用いられる半導体回路において、占有面積を大きくせずに確実に静電気破壊を防止することができる静電気破壊防止層を有する半導体回路を提供することにある。

【構成】 半導体回路の電極パッド4の下部領域に、抵抗からなるか、又は抵抗及びダイオードからなる静電気破壊防止層3を設ける。この静電気破壊防止層3の一端を電極パッド4に接続し、静電気破壊防止層3の他端を内部回路9に電気的に接続して、電極パッド4と内部回路9との電気的接続を静電気破壊防止層3を通して行う。電極パッド4に加えられた過電圧によるエネルギーは、直接内部回路9に流入せず、必ず静電気破壊防止層3を通ることとなり、この静電気破壊防止層3により内部回路9に流入する電流が減少する。



【特許請求の範囲】

【請求項1】 電極パッドの下部領域に少なくとも入力保護抵抗を含む静電気破壊防止層を設け、前記電極パッドと内部回路との電気的接続を前記静電気破壊防止層を通して行ったことを特徴とする半導体回路。

【請求項2】 電極パッドの下部領域に入力保護抵抗及びダイオードからなる静電気破壊防止層を設け、前記電極パッドと内部回路との電気的接続を前記静電気破壊防止層を通して行ったことを特徴とする半導体回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、静電気破壊防止層を有する半導体回路であって、外部からの信号を内部回路に入力する部分に関し、半導体集積回路装置や半導体個別装置等に利用されるものである。

【0002】

【従来の技術】 例えば半導体集積回路装置における半導体回路には、外部から信号を入力するためのボンディングワイヤを接続する、ボンディングパッドとも呼ばれる電極パッドが設けられ、この電極パッドからの入力信号が内部回路のトランジスタ等の半導体素子に送られる。この入力信号は、正常な動作状態では、ある一定の電圧の範囲内に制限される。

【0003】 しかし、半導体回路の取扱い中において、帯電した物体（例えば人体や機械）が半導体集積回路装置に接触すると、その過電圧によるエネルギーが半導体回路のボンディングワイヤや電極パッドを通して半導体素子に流入し、半導体素子が静電気破壊される問題が生ずる。

【0004】かかる半導体素子の静電気破壊を防止するために、従来においては、以下の技術が知られている。

(1) 電極パッドと内部回路との間にMISFETを介在させて、このMISFETにより電極パッドに加えられた過電圧によるエネルギーを吸収して半導体素子の静電気破壊を防止するようにした技術（特開昭61-73375号公報、特開昭61-95568号公報参照）。

(2) バイポーラトランジスタを備えた半導体集積回路装置において、電極パッドの下にダイオードを設けて、このダイオードにより電極パッドに加えられた過電圧によるエネルギーを吸収してバイポーラトランジスタの静電気破壊を防止するようにした技術（特表平2-501696号公報参照）。

【0005】

【発明が解決しようとしている課題】 しかしながら、以上の従来技術では、次のような問題があった。

(1) 特開昭61-73375号公報及び特開昭61-95568号公報の技術では、その構造上の制約から静電気破壊防止用のMISFETを電極パッド以外の領域に設けることが必要とされるため、MISFETの占有面積が大きく、半導体回路の集積密度を高める上で障害となっていた。

【0006】 また、MISFETは電極パッドの端部に接続されているため、このMISFETと内部回路の応答速度の相違により、過電圧によるエネルギーが十分にMISFETに吸収されず、内部回路にも流入する問題があった。

(2) 特開平2-501696号公報の技術では、電極パッドの下部領域を利用してダイオードを設けてはいるが、電極パッドが内部回路に直接接続される構造であるため、電極パッドに加えられた過電圧によるエネルギーが十分にダイオードに吸収されないで内部回路にもかなり流入し、その結果バイポーラトランジスタの静電気破壊が依然として生ずる問題があった。

【0007】 そこで、本発明の目的は、占有面積を大きくせずに確実に静電気破壊を防止することができる半導体回路を提供することにある。

【0008】

【発明を解決するための手段】 本発明の半導体回路は、電極パッドの下部領域に少なくとも入力保護抵抗を含む静電気破壊防止層を設け、前記電極パッドと内部回路との電気的接続を前記静電気破壊防止層を通して行ったことを特徴とする。

【0009】 また、電極パッドの下部領域に入力保護抵抗及びダイオードからなる静電気破壊防止層を設け、前記電極パッドと内部回路との電気的接続を前記静電気破壊防止層を通して行ったことを特徴とする。

【0010】

【作用】 静電気破壊防止層が、例えば入力保護抵抗からなるか又は入力保護抵抗及びダイオードからなるので、電極パッドの下部領域を利用して簡単に設けることができる。従って、静電気破壊防止層を設けるための特別な占有面積は必要とされない。しかも、電極パッドと内部回路との電気的接続を静電気破壊防止層を通して行ったので、電極パッドに加えられた過電圧によるエネルギーが確実に静電気破壊防止層を通過することとなる。従って、内部回路に流入するエネルギーが大幅に小さくなり静電気破壊を十分に防止することができる。

【0011】 また、静電気破壊防止層が抵抗とダイオードからなる場合は、電極パッドに加えられた過電圧によるエネルギーの吸収が抵抗のみの場合に比してさらに大きくなり、優れた静電気破壊防止作用が得られる。

【0012】

【実施例】 以下、本発明の実施例について説明する。

実施例1

図1から図3はこの実施例の半導体回路を示し、図1は平面図、図2は縦断側面図、図3は等価回路である。ただし、図1では、分かりやすくするために絶縁層5及びパッシベーション層7は図示していない。

【0013】 図1及び図2において、1はシリコンからなる半導体基板であり、この上に半導体素子間を電気的に

に分離するためのフィールド絶縁層2が設けられている。

【0014】3は入力保護抵抗をなす例えばポリシリコンからなる静電気破壊防止層である。この静電気破壊防止層3は電極パッド4の下部領域に設けられ、電極パッド4とほぼ同様のサイズである。静電気破壊防止層3の抵抗値は、例えば20~40Ω程度であるが、平面的な形状やポリシリコンの不純物濃度を変化させることで抵抗値は任意の値をとり得る。5は例えばSiO₂からなる絶縁層である。

【0015】静電気破壊防止層3の一端には電極パッド4の一端4Aが接続され、静電気破壊防止層3の他端は内部回路の電極6の一端6Aに接続されている。

【0016】電極パッド4の他端と内部回路の電極6とはパッシベーション層7により絶縁されている。

【0017】電極パッド4の上には、外部から信号を入力するためのボンディングワイヤ8が接続されている。

【0018】図1及び図2の実施例によれば、図3の等価回路に示すように、電極パッド4と内部回路9との電気的接続を静電気破壊防止層3を通して行う構成であるので、例えば人体等からの静電荷が電極パッド4に加えられても、過電圧によるエネルギーが静電気破壊防止層3を必ず通るようになる。従って、静電気破壊防止層3、即ち入力保護抵抗をなすポリシリコン層の電流抑制作用により内部回路9に流入する電流が減少し、内部回路9における半導体素子（例えばゲート絶縁膜等）が破壊されることがない。

【0019】また、静電気破壊防止層3は電極パッド4の下部領域を利用して設けているので、静電気破壊防止層3を設けるために別途専用の領域を必要とせず、占有面積を増大させることがない。

実施例2

図4及び図5はこの実施例の半導体回路を示し、図4は縦断側面図、図5は等価回路である。

【0020】図4の実施例では、半導体基板1はP型シリコンからなり、この半導体基板1上にN型拡散層からなる静電気破壊防止層3が設けられている。このN型拡散層は分布定数型の抵抗及びダイオードとして機能するものである。この静電気破壊防止層3の抵抗値は、例えば30~60Ω程度であるが、平面的な形状やN型拡散層の不純物濃度を変化させることで抵抗値は任意の値をとり得る。その他は図1及び図2の実施例と同様の構成であり、静電気破壊防止層3は電極パッド4の下部領域に位置する。

【0021】この図4の実施例によれば、図5の等価回路に示すように、静電気破壊防止層3が入力保護抵抗RとダイオードDとが交互に接続された分布定数型のものとなるため、実施例1の場合と比較して、静電気破壊防止層3によるエネルギー吸収作用がさらに良好となり、内部回路9における半導体素子の静電気破壊防止効果が

さらに向上する。

【0022】次に、図4の半導体回路の製造プロセスの一例について説明する。

【0023】P型シリコンからなる半導体基板1上に活性領域を設け、この活性領域に例えばリンやヒ素等のN型の不純物を導入してN型拡散層からなる静電気破壊防止層3を形成する。

【0024】その後、ゲート電極や配線、抵抗として使用される図示しないポリシリコン層と、配線として使用される金属配線層(4、6)を絶縁分離するためのSiO₂からなる絶縁層5を堆積する。次いで、この絶縁層5の下層の静電気破壊防止層3と電気的接触をとるためのコンタクトホールを設け、その上に金属配線層(4、6)を形成する。その後、必要な配線パターンとなるよう金属配線層(4、6)を選択的に除去して電極パッド4及び電極6を形成する。さらにパッシベーション層7を堆積し、次いで電極パッド4上のパッシベーション層7を選択的に除去して、ボンディングワイヤ8をボンディングする。

【0025】以上の製造工程は、トランジスタ、ダイオード、抵抗等からなる通常の半導体集積回路装置を製造する工程と全く同様である。即ち、この実施例の半導体回路は従来の半導体集積回路装置の製造プロセスをそのまま利用して製造することができる。従って、この実施例の半導体回路によれば、新たな製造工程を付加することなく従来の製造プロセスをそのまま利用して製造することができるという製造プロセス上の効果も得られる。

【0026】なお、この実施例では、半導体基板1としてP型シリコンを用いたが、N型シリコンを用いることもでき、この場合は、半導体基板1の活性領域に例えばボロン等のP型の不純物を導入してP型拡散層からなる静電気破壊防止層3を形成すればよい。この場合のP型拡散層も分布定数型の抵抗及びダイオードとして機能するものである。

【0027】また、N型拡散層又はP型拡散層の代わりに、Nウエル層、N型のエピタキシャル層等を用いてもよい。実施例3図6から図8はこの実施例の半導体回路を示し、図6は平面図、図7は縦断側面図、図8は等価回路である。ただし、図6では、分かりやすくするために絶縁層5及びパッシベーション層7は図示していない。

【0028】図6及び図7の半導体回路は、半導体基板1がN型シリコンからなり、この半導体基板1をドレイン電極として用いるパワーMOSトランジスタの一例を示している。

【0029】半導体基板1上にフィールド絶縁層2が設けられ、さらにその上に静電気破壊防止層3が設けられている。

【0030】この静電気破壊防止層3は、N型のポリシリコンからなる抵抗層31と、複数のP型ポリシリコン

層32A及びN型ポリシリコン層32Bを組み合わせてなるPNダイオード32とから構成されている。ダイオード32の他端には電極6の一端6Aが接続され、この電極6が内部回路9のソース電極12に接続されている。即ち、電極パッド4とソース電極12との電気的接続は抵抗層31及びダイオード32を通して達成される。

【0031】抵抗層31の他端の一部は延長されて抵抗層33が形成され、この抵抗層33がゲート電極13に接続されている。即ち、ポインティングパッド4とゲート電極13との電気的接続は抵抗層31及び33を通して達成される。

【0032】抵抗層31の一端は電極パッド4の一端4Aに接続され、抵抗層31の他端はダイオード32および抵抗層33に一体的につながっている。その他は図1及び図2の実施例と同様であり、静電気破壊防止層3は電極パッド4の下部領域に位置する。

【0033】図6及び図7の実施例によれば、図8の等価回路に示すように、電極パッド4と内部回路9のゲート電極13との間には抵抗層31及び33が介在し、電極パッド4と内部回路9のソース電極12との間には抵抗層31及びPNダイオード32とが介在することとなるため、電極パッド4に加えられた過電圧によるエネルギーはゲート電極13には伝搬しにくく、PNダイオード32を通じてソース電極12へ逃げようになる。従って、実施例1の場合と比較して、静電気破壊防止層3によるエネルギー吸収作用がさらに良好となり、内部回路9における半導体素子(パワーMOSトランジスタ)の静電気破壊防止効果がさらに向上する。

【0034】

【発明の効果】(1)請求項1の発明によれば、静電気破壊防止層を電極パッドの下部領域に設けているので静電気破壊防止層を設けるための特別な占有面積は必要とされず、しかも、電極パッドを静電気破壊防止層を介して内部回路に接続しているので、電極パッドの過電圧によるエネルギーが静電気破壊防止層により吸収され、内

部回路の静電気による破壊を防止することができる。

(2)請求項2の発明によれば、静電気破壊防止層が抵抗及びダイオードからなるので、静電気破壊防止層の過電圧によるエネルギーの吸収効果が増大し、さらに優れた静電気破壊防止効果が奏される。

【図面の簡単な説明】

【図1】本発明の実施例1の平面図である。

【図2】本発明の実施例1の縦断側面図である。

【図3】本発明の実施例1の等価回路である。

【図4】本発明の実施例2の縦断側面図である。

【図5】本発明の実施例2の等価回路である。

【図6】本発明の実施例3の平面図である。

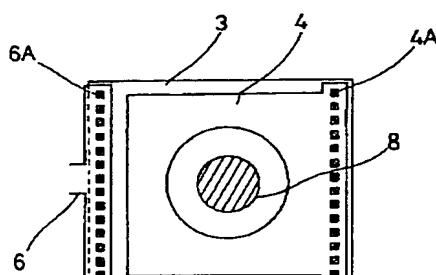
【図7】本発明の実施例3の縦断側面図である。

【図8】本発明の実施例3の等価回路である。

【符号の説明】

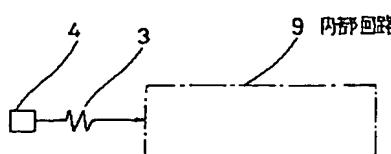
1	半導体基板
2	フィールド絶縁層
3	静電気破壊防止層
4	電極パッド
4A	電極パッドの一端
5	絶縁層
6	内部回路の電極
6A	電極の一端
7	パッシベーション層
8	ボンディングワイヤ
9	内部回路
R	入力保護抵抗
D	ダイオード
12	ソース電極
13	ゲート電極
31	抵抗層
32A	P型ポリシリコン層
32B	N型ポリシリコン層
32	ダイオード
33	抵抗層

【図1】

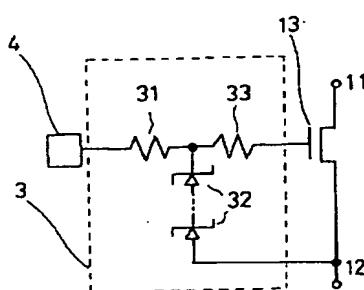


1 半導体基板
3 静電気破壊防止層
4 電極パッド
5 絶縁層
6 内部回路の電極
6A 電極の一端
7 パッシベーション層
8 ボンディングワイヤ

【図3】

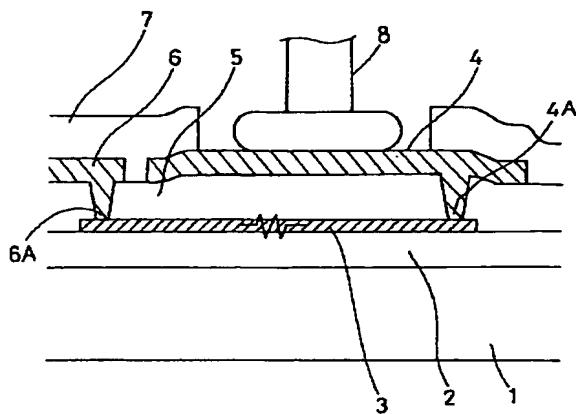


【図8】

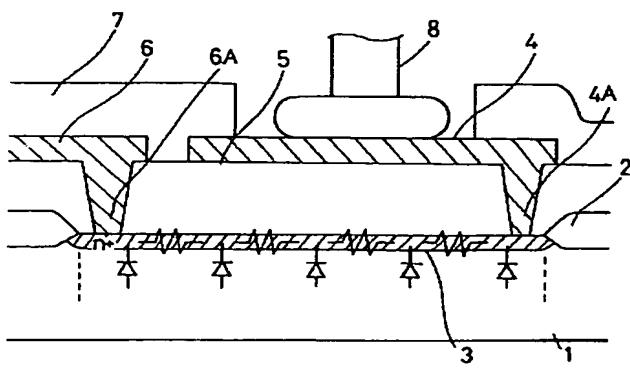


1 半導体基板
3 静電気破壊防止層
4 電極パッド
5 絶縁層
6 内部回路の電極
6A 電極の一端
7 パッシベーション層
8 ボンディングワイヤ
9 内部回路
11 出力端子
12 ソース電極
13 ゲート電極
31 抵抗層
32 ダイオード
33 抵抗層

【図2】

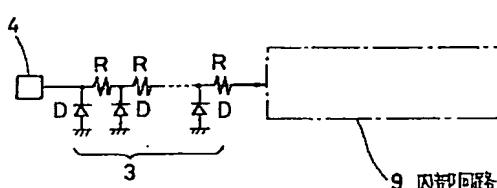


【図4】

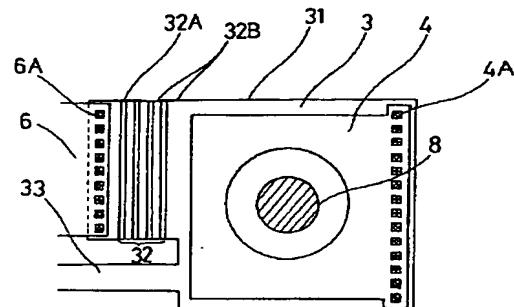


1 半導体基板
3 静電気破壊防止層
4 電極
5 ボンディングワイヤ
6 パッキン
7 バンジーワイヤ

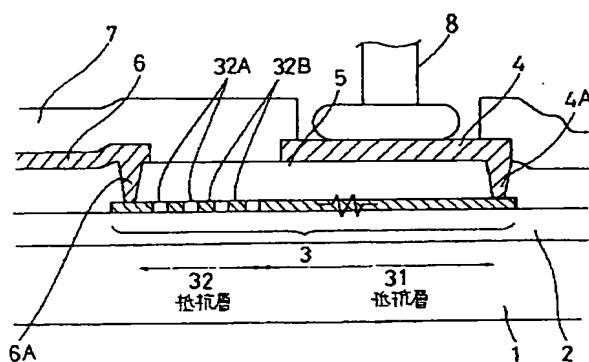
【図5】



【図6】



【図7】



1 半導体基板
3 静電気破壊防止層
4 電極パッド
5 絶縁層
6 パッキン
7 バンジーワイヤ